

Lezione 14

Sommario

- **Campionamento**
- **Aliasing**
- **Circuiti di Sample and Hold (S/H)**
- **Caratteristiche dei convertitori A/D (ADC) e D/A (DAC)**
- **Esempi di convertitori D/A**

Lezione 14

Materiale di riferimento

1. **A.V. Oppenheim, R.W. Schaffer, J.R. Buck, "Discrete Time Signal Processing", Second Edition, Prentice Hall.**
2. **W. Kleitz, "Digital and microprocessor fundamentals", Pearson Education, 2003.**
3. **D. F. Hoeschele, "Analog to digital to analog conversion techniques", Wiley and Sons, 1994.**
4. **B. Hutchings, "DSP56800 ADC", Motorola AN1947/D, disponibile sul sito web del corso in formato pdf.**

Campionamento

Il processo di campionamento consiste nella registrazione dei valori di una grandezza analogica, variabile nel tempo, in istanti determinati.

Il campionamento può essere periodico e uniforme, single-shot o, talvolta, anche non uniforme.

Per le applicazioni dei μC e dei DSP, interessa principalmente il primo tipo. Il suo parametro fondamentale è quindi il periodo T_c di campionamento (ovvero la sua frequenza F_c).

Campionamento

La teoria matematica relativa al processo di campionamento di un segnale $s(t)$ risale agli anni '50. Il teorema di Shannon ne costituisce il risultato fondamentale.

Il teorema di Shannon pone la condizione per la esatta ricostruibilità di $s(t)$ a partire dai suoi valori campionati.

Se lo spettro di $s(t)$ è nullo al di sopra di una frequenza BW [Hz], allora è possibile la sua ricostruzione esatta a partire da campioni spaziatosi nel tempo di $1/2BW$ secondi.

Campionamento

Il teorema fornisce la formula di esatta ricostruzione per un segnale campionato con periodo $T_c = 1/2BW$, ovvero con frequenza f_c pari a $2BW$:

$$s(t) = \sum_k s(kT_c) \cdot \text{sinc}(\pi \cdot f_c \cdot (t - kT_c))$$

dove: $\text{sinc}(x) = \frac{\text{sen}(x)}{x}$

Il teorema mostra quindi che il segnale e la sua versione campionata (secondo la regola) contengono la stessa informazione.

Campionamento

In termini matematici, il campionamento può essere interpretato come la moltiplicazione del segnale $s(t)$ per una sequenza di impulsi discreti ossia:

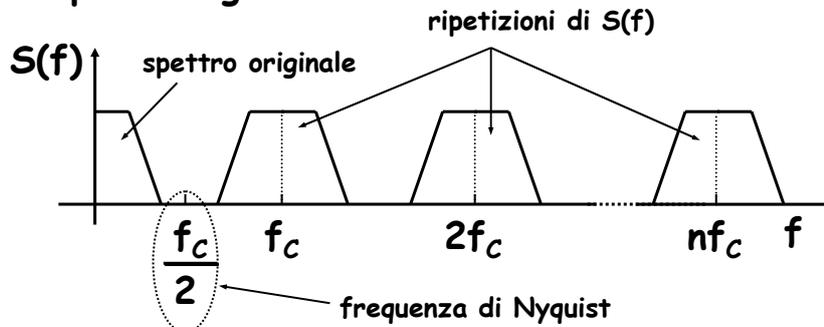
$$s(kT_c) = s(t) \cdot \sum_k \delta(t - kT_c)$$

dove: $\delta(t - kT_c) = \begin{cases} 1 & \text{per } t = kT_c \\ 0 & \text{altrove} \end{cases}$

Nel dominio della frequenza, questa operazione si traduce nella ripetizione periodica dello spettro di $s(t)$, che indichiamo con $S(f)$.

Campionamento

Lo spettro di un segnale campionato ha quindi l'aspetto seguente:



Si vede quindi che se f_c è scelta in accordo con il teorema di Shannon, le ripetizioni periodiche di $S(f)$ non si sovrappongono.

Simone Buso - Microcontrollori e DSP - Lezione 14

7

Campionamento

In assenza di sovrapposizioni tra le ripetizioni periodiche dello spettro $S(f)$, ossia di fenomeni di aliasing, la ricostruzione di $s(t)$ può avvenire semplicemente attraverso un filtraggio di tipo passa basso, che elimini tutte le componenti spettrali al di sopra della frequenza di Nyquist.

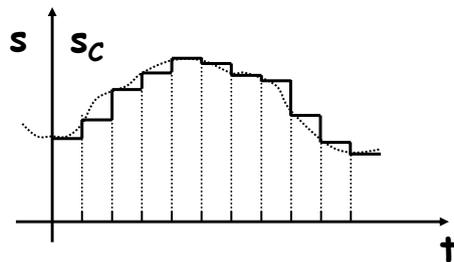
Il teorema di Shannon quindi dice che, quando la frequenza di campionamento è pari alla frequenza di Nyquist, il filtro passa basso necessario per la ricostruzione esatta è quello la cui risposta in frequenza è rettangolare.

Simone Buso - Microcontrollori e DSP - Lezione 14

8

Campionamento

In pratica, non è possibile realizzare un campionamento ideale. Il meglio che si può fare è usare un circuito di sample and hold (S/H), che non genera campioni impulsivi, ma rettangoli di durata pari a T_c e con ampiezza uguale a quella dei campioni ideali.



Lo spettro di s_c sarà quindi distorto dal campionamento non ideale, i.e. sarà diverso da quello di s .

Campionamento

Questo significa che per la ricostruzione esatta del segnale $s(t)$ non è più sufficiente un semplice filtro passa basso, ma è richiesta anche la compensazione della distorsione introdotta dal sample and hold.

Poiché quest'ultima è nota (è di tipo sinc), è possibile costruire un filtro, detto equalizzatore, capace di compensarla esattamente.

Naturalmente, gli effetti della distorsione sono marcati solo se il rapporto tra f_c e la frequenza di Nyquist è basso.

Campionamento

Se il teorema di Shannon viene violato perché si campiona ad una frequenza non abbastanza elevata rispetto alla banda del segnale, il procedimento di ricostruzione darà luogo ad una versione distorta del segnale originale.

Si parla di errori di aliasing.

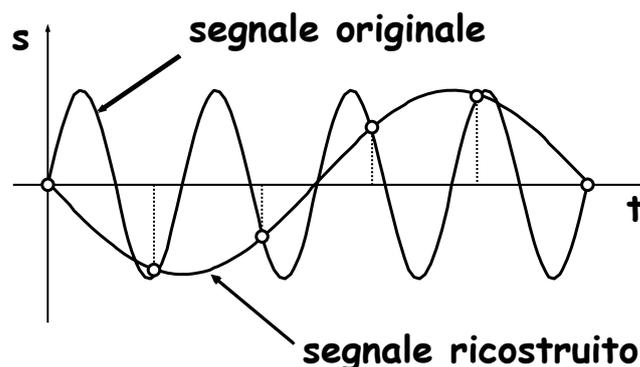
In pratica, nello spettro del segnale ricostruito compaiono componenti non presenti in quello del segnale originale (ripiegamento in banda base).

Gli errori possono anche risultare molto pesanti.

Simone Buso - Microcontrollori e DSP - Lezione 14

11

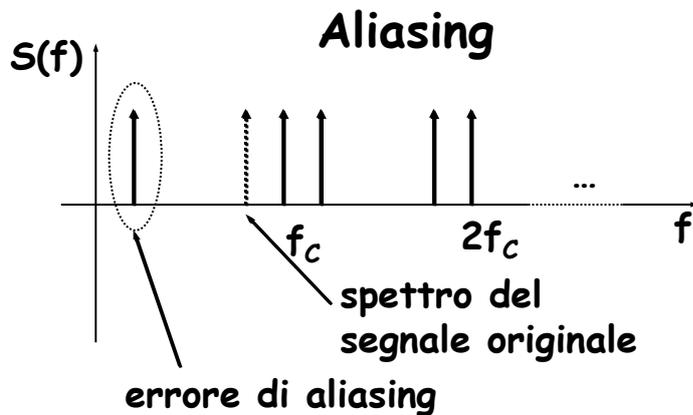
Aliasing



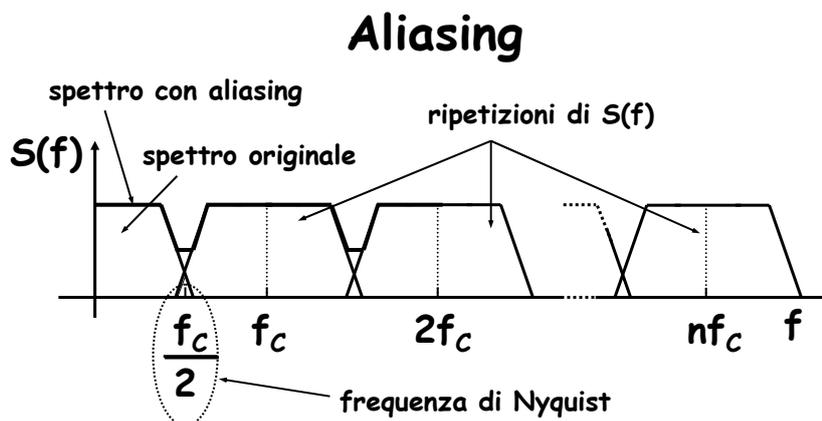
Un segnale a frequenza f , viene campionato a frequenza $1.25 \cdot f$. Viene ricostruito un segnale a frequenza $0.25 \cdot f$!

Simone Buso - Microcontrollori e DSP - Lezione 14

12



Interpretazione nel dominio della frequenza dell'errore di aliasing. La frequenza spuria nasce dalla ripetizione dello spettro intorno ai multipli interi di f_c .



Errore di aliasing nel caso di un segnale a spettro esteso. Quando la frequenza di Nyquist è interna alla banda del segnale, lo spettro in banda base viene corrotto.

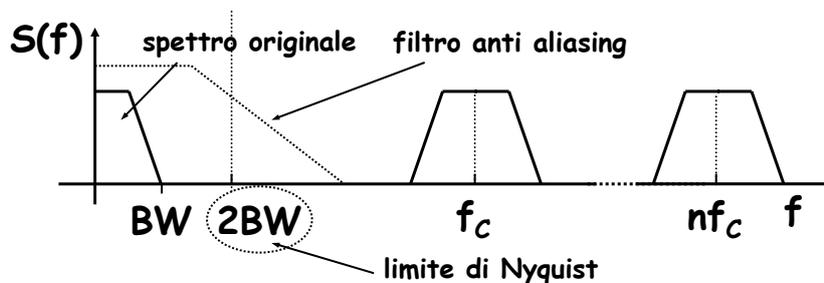
Aliasing

Per evitare errori di aliasing, i sistemi di acquisizione presentano di norma un filtro in ingresso (detto appunto anti-aliasing), la cui funzione è limitare il contenuto spettrale del segnale da acquisire ben al di sotto della frequenza di Nyquist $f_c/2$.

Si tratta di filtri passa-basso con frequenza di taglio f_T minore di $f_c/2$, che possono anche avere ordine elevato, in modo da attenuare rapidamente le componenti spettrali a frequenza maggiore di f_T .

Sovracampionamento

Il progetto del filtro anti-aliasing risulta tanto meno critico quanto più f_c viene scelta grande rispetto alla banda BW dei segnali di interesse. Il rapporto $f_c/2BW$ (frequenza minima di campionamento o limite di Nyquist) prende il nome di sovracampionamento.



Sample and Hold

Per operare una conversione A/D precisa è essenziale che durante il processo di conversione il segnale campionato non vari in modo significativo.

E' utile considerare un esempio. Consideriamo un segnale sinusoidale di ampiezza picco-picco pari a 5V, da convertire con un convertitore A/D a 10 bit, avente un range di ingresso di 5V (Full Scale Range, FSR) e un tempo di conversione di 2 μ s.

Il valore in Volt dell'LSB del convertitore è quindi: $5/1024=4.88$ mV.

Sample and Hold

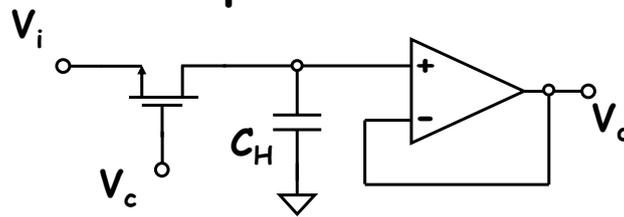
Per ottenere un risultato accurato, durante la conversione il segnale di ingresso non dovrebbe variare di più di $\frac{1}{2}$ LSB ossia di 2.44 mV.

La massima frequenza ammessa per il segnale è quindi di soli 77.7 Hz!

Si osserva che, con il tempo di conversione specificato, il limite di Nyquist risulta pari a 250 kHz.

E' quindi indispensabile mantenere il segnale costante durante la conversione. A questo scopo si utilizza un circuito detto sample and hold.

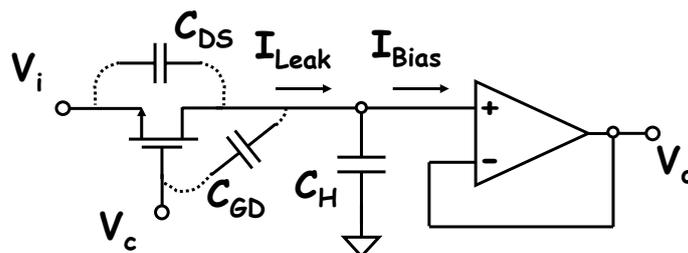
Sample and Hold



Schema di principio di un circuito di sample and hold. In presenza di una tensione V_c sufficiente (i.e. $> V_{iMAX} + V_t$) la capacità C_H si carica alla tensione V_i . La velocità di carica è maggiore al crescere dell'overdrive.

Allo spegnimento del MOSFET, la carica su C_H mantiene $V_o = V_i$ (ma non indefinitamente!).

Sample and Hold



Le capacità C_{GD} e C_{DS} inducono delle variazioni di carica su C_H (charge injection) rispettivamente durante le transizioni del comando V_c e nella fase di hold (a causa delle variazioni del segnale V_i). Entrambe si possono minimizzare scegliendo C_H elevato (\downarrow velocità!).

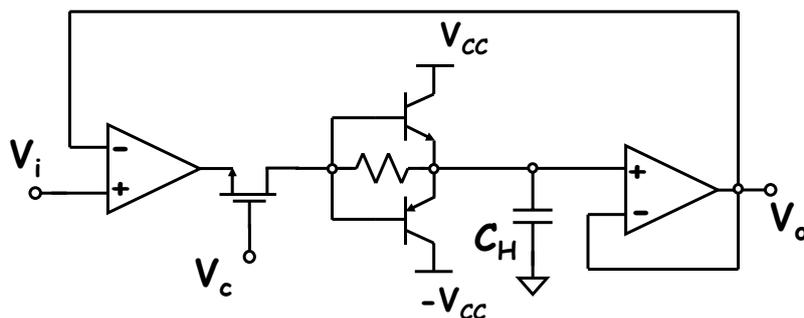
Sample and Hold

Durante la fase di hold, la corrente di leakage del MOS e la corrente di bias non nulla dell'operazionale, drenano carica dalla capacità C_H , determinando una progressiva variazione della tensione (droop), che è più significativa per basse frequenze di campionamento (dove la fase di hold ha durata più lunga).

Altre non idealità sono relative ai tempi di salita non nulli (delay) e ai ritardi (in genere non costanti) del segnale di comando (jitter).

Infine, un problema molto delicato è la massimizzazione dello slew-rate di carica.

Sample and Hold



Schema di un sample and hold con retroazione. Lo stadio bipolare opera come un inseguitore, fornendo la corrente necessaria alla carica di C_H .

Conversione A/D e D/A

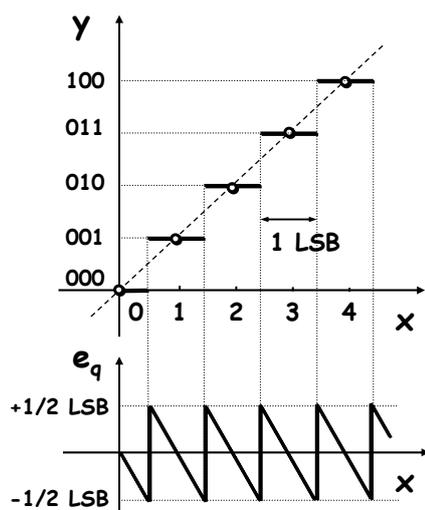
I convertitori A/D e D/A si caratterizzano per alcuni parametri fondamentali. I principali sono la risoluzione, che è legata al numero di bit del convertitore, velocità di conversione, accuratezza e consumo di potenza.

La disponibilità di un limitato numero di bit nella conversione induce un tipo di errore caratteristico detto di quantizzazione. Anche se, di solito viene trattato come un rumore bianco, non correlato con il segnale, esso è invece dipendente dal segnale. In un sistema ideale, il suo massimo può arrivare a $\frac{1}{2}$ LSB.

Simone Buso - Microcontrollori e DSP - Lezione 14

23

Conversione A/D



Il convertitore A/D presenta un errore di conversione massimo di $\frac{1}{2}$ LSB (in condizioni ideali, dove conti solo la quantizzazione).

La risoluzione in V del convertitore è data da:

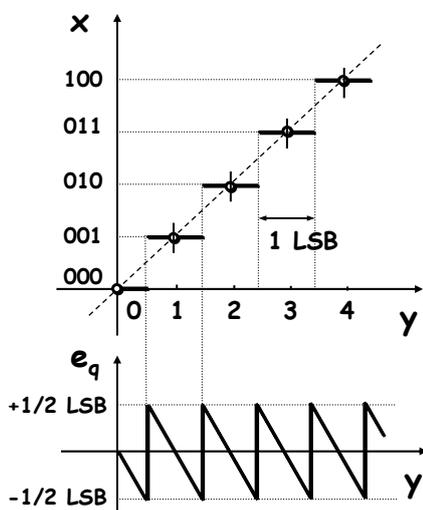
$$\frac{\text{FSR}}{2^n}$$

FSR ← Full Scale Range
 2^n ← numero di bit

Simone Buso - Microcontrollori e DSP - Lezione 14

24

Conversione D/A



Una configurazione di bit corrisponde ad un intervallo di tensioni di uscita largo 1 LSB.

Il massimo errore di quantizzazione è quindi pari a $\frac{1}{2}$ LSB.

La risoluzione in V è ancora pari a:

$$\frac{\text{FSR}}{2^n}$$

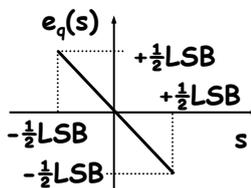
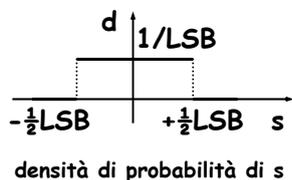
← Full Scale Range
← numero di bit

Simone Buso - Microcontrollori e DSP - Lezione 14

25

Conversione A/D e D/A

Assimilando l'errore di quantizzazione ad un rumore, incorrelato con il segnale e distribuito uniformemente nell'intervallo $[-\frac{1}{2}\text{LSB}, +\frac{1}{2}\text{LSB}]$, se ne può calcolare la potenza statistica come:



$$e_q(s) = -s$$

$$\sigma_q^2 = \frac{1}{\text{LSB}} \int_{-\frac{1}{2}\text{LSB}}^{+\frac{1}{2}\text{LSB}} e_q^2(s) ds = \frac{\text{LSB}^2}{12}$$

Simone Buso - Microcontrollori e DSP - Lezione 14

26

Conversione A/D e D/A

E' possibile definire il rapporto segnale rumore (SNR) di un convertitore A/D o D/A come il rapporto tra la massima potenza di un segnale sinusoidale applicato in ingresso e la minima potenza del rumore di conversione (quindi la potenza del rumore di quantizzazione). Risulta:

$$\text{SNR} = \frac{s_{\text{eff}}^2}{\sigma_q^2} = \frac{12 \left(\frac{\text{FSR}}{2\sqrt{2}} \right)^2}{\left(\frac{\text{FSR}}{2^n} \right)^2} = \frac{12}{8} \cdot 2^{2n}$$

Simone Buso - Microcontrollori e DSP - Lezione 14

27

Conversione A/D e D/A

Esprimendo il parametro SNR in dB si ottiene:

$$\text{SNR} = 10 \cdot \log_{10} \left[\frac{12}{8} \cdot 2^{2n} \right] = 6.02 \cdot n + 1.76$$

La relazione:

$$\text{SNR} = 6.02 \cdot n + 1.76 \text{ [dB]}$$

mostra come l'incremento di 1 bit nella parola del convertitore innalzi di 6 dB il rapporto segnale rumore: conviene sempre usare tutti i bit a disposizione!

Simone Buso - Microcontrollori e DSP - Lezione 14

28

Conversione A/D e D/A

Numero bit n	Valore dell'LSB in % rispetto a FSR	SNR teorico in dB
8	0.39	49.9
10	0.1	62
12	0.02	74
14	0.006	86

Tabella delle risoluzioni e dei rapporti segnale rumore (SNR) teorici di un convertitore in funzione del numero dei bit n.

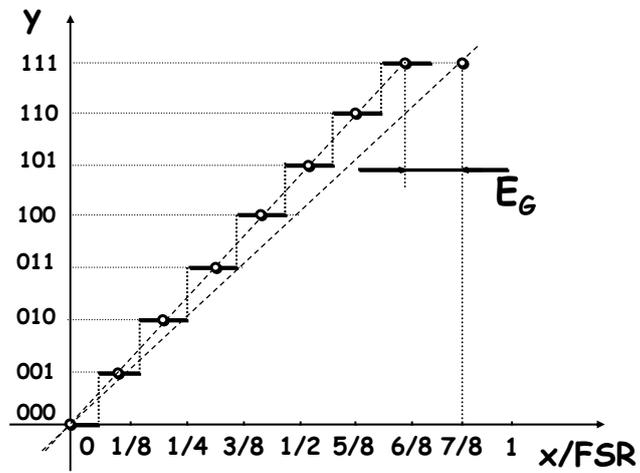
Conversione A/D e D/A

L'accuratezza assoluta di un convertitore, ovvero la massima differenza tra il valore convertito e il valore teoricamente atteso, è però limitata anche da fattori ulteriori che si sommano alla sua risoluzione finita e all'errore di quantizzazione che ne risulta.

Nel processo di conversione intervengono infatti numerose non idealità, che generano ad esempio: errori di guadagno, errori di offset, errori di non linearità.

Tutti questi contribuiscono a ridurre l'accuratezza assoluta del convertitore.

Conversione A/D e D/A

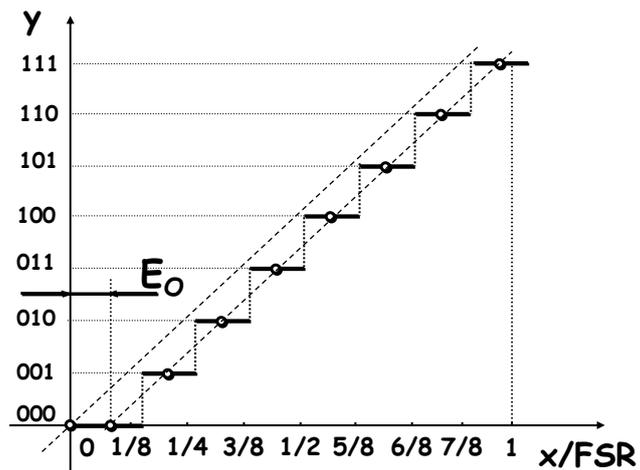


Esempio di errore di guadagno nel caso di un ADC a 3 bit (analogo per il DAC).

Simone Buso - Microcontrollori e DSP - Lezione 14

31

Conversione A/D e D/A



Esempio di errore di offset nel caso di un ADC a 3 bit (analogo per il DAC).

Simone Buso - Microcontrollori e DSP - Lezione 14

32

Conversione A/D e D/A

Gli errori di non linearità sono legati al fatto che i punti centrali di ogni intervallo di quantizzazione non giacciono, in realtà, su una retta.

Esistono due approcci per la valutazione degli errori di non linearità:

1. considerare come retta di riferimento la congiungente dei punti (0,0) e (FSR-LSB, 111...11);
2. considerare come riferimento la migliore retta interpolante i centri degli intervalli, di solito nel senso dei minimi quadrati.

Conversione A/D e D/A

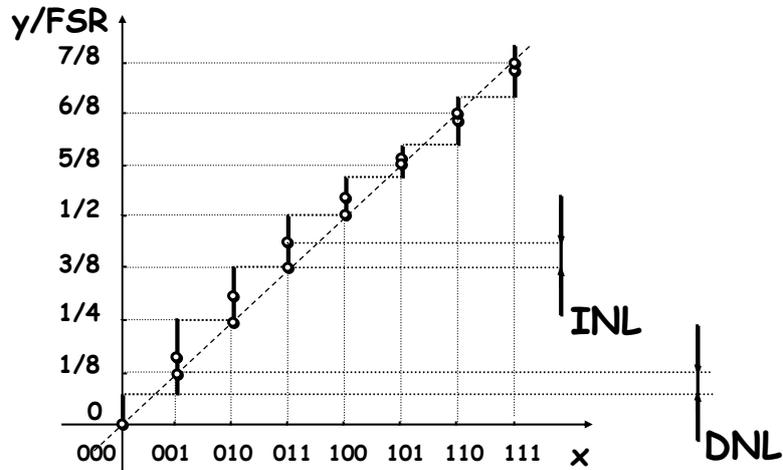
Si considerano due diversi tipi di non linearità:

1. differenziale (DNL): differenza tra la larghezza dell'*n*-esimo intervallo e la sua larghezza teorica di 1 LSB.
2. integrale (INL): distanza fra i centri del gradino reale e di quello teorico.

Se, in un ADC, la somma di tutti i DNL supera 1 LSB si genera un errore di *missing code*. In un DAC lo stesso fenomeno si indica come errore di *non monotonicità* del DAC (pericoloso!).

Tutti questi errori risentono delle variazioni della temperatura!

Conversione A/D e D/A

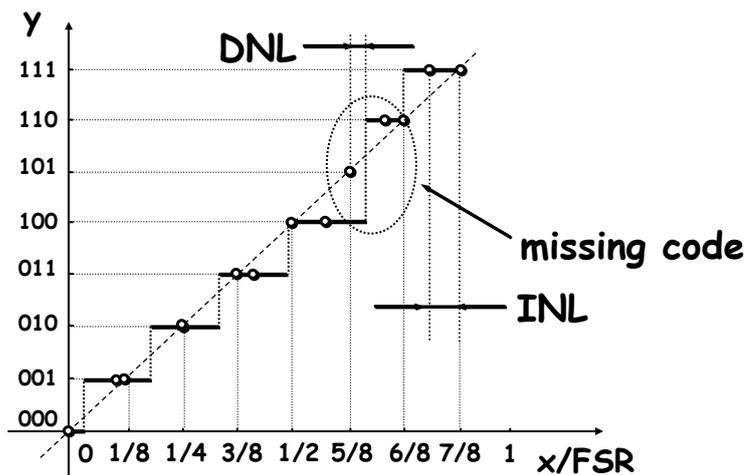


Esempio di errore di non linearità nel caso di un DAC a 3 bit (analogo per l'ADC).

Simone Buso - Microcontrollori e DSP - Lezione 14

35

Conversione A/D e D/A



Esempio di errore di missing code (101) nel caso di un ADC a 3 bit.

Simone Buso - Microcontrollori e DSP - Lezione 14

36

Conversione A/D e D/A

Considerando insieme tutte le cause di errore, si vede come il parametro SNR reale di un convertitore A/D o D/A sia sempre minore di quello teorico dovuto alla sola quantizzazione.

Invece di precisare il valore reale dell'SNR misurato all'uscita (SNR_{out}), è possibile qualificare il convertitore attraverso il suo numero di bit reali o efficaci:

$$n_{eff} = \frac{SNR_{out} - 1.76 \text{ [dB]}}{6.02 \text{ [dB]}}$$

Conversione A/D e D/A

Una conseguenza importante degli errori di conversione è che qualunque convertitore modifica il contenuto spettrale del segnale di ingresso.

Viene cioè introdotta una certa distorsione armonica, che spesso è precisata tra i dati del convertitore, con riferimento ad una sinusoide pura ad una frequenza assegnata.

E' normale riscontrare, in risposta ad un segnale sinusoidale, la comparsa di numerose armoniche, causate da tutte le non linearità del dispositivo.

Conversione A/D e D/A

Alla luce di tutte le considerazioni fatte, è importante distinguere tra accuratezza e precisione di un convertitore.

La precisione è l'insieme delle caratteristiche che garantiscono la ripetibilità del risultato di una conversione A/D o D/A.

Come si vede, questa non implica in generale una buona accuratezza. Al contrario invece, una elevata accuratezza implica sempre una elevata precisione.

Spesso i due termini vengono confusi!

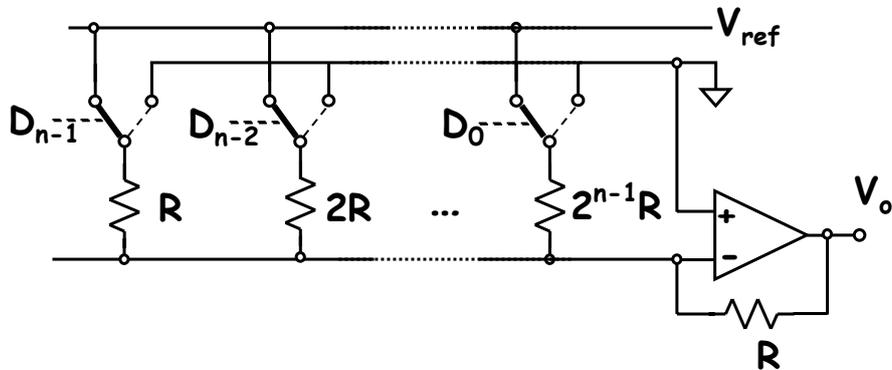
Convertitori D/A (o DAC)

Prima di trattare i convertitori A/D, conviene occuparsi dei circuiti che realizzano la conversione inversa. Questi sono infatti integrati all'interno di alcune strutture di convertitore A/D piuttosto importanti.

Esistono molte diverse architetture di DAC. Alcune tra le principali sono:

- a. DAC a resistenze pesate;
- b. DAC a traliccio di resistenze R-2R;
- c. DAC con voltage scaling;
- d. DAC seriale.

DAC a resistenze pesate



$$V_o = -V_{ref} \cdot \left(D_{n-1} + \frac{D_{n-2}}{2} + \dots + \frac{D_0}{2^{n-1}} \right)$$

Simone Buso - Microcontrollori e DSP - Lezione 14

41

DAC a resistenze pesate

Questo schema, molto semplice, presenta alcuni inconvenienti importanti:

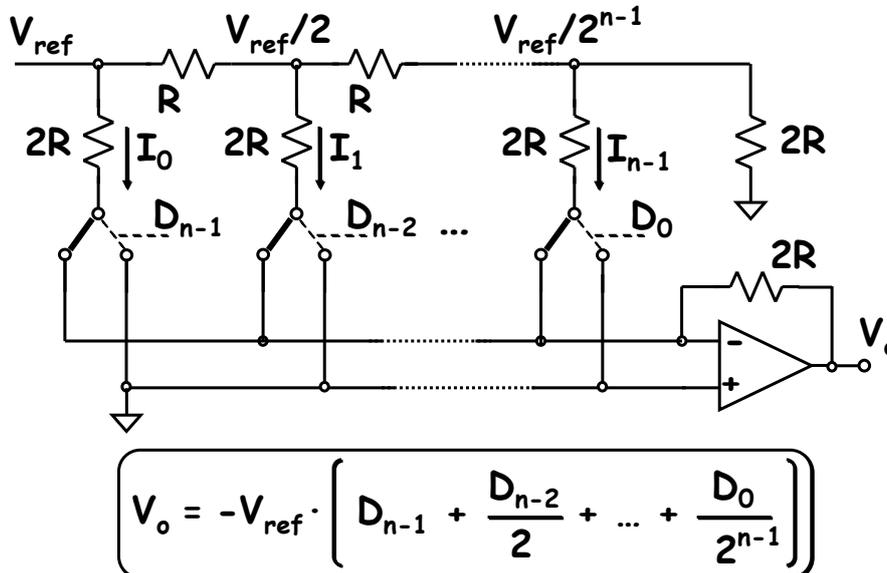
- resistenze tutte diverse: l'ultima può essere molto elevata ed è difficile garantire i rapporti esatti;
- il peso della R_{ON} di ciascun interruttore è diverso a seconda del bit cui si riferisce;
- la corrente assorbita dal circuito dipende dalla configurazione dei bit di ingresso;
- si tratta di uno schema invertente.

Per tutte queste ragioni, lo schema non è molto usato.

Simone Buso - Microcontrollori e DSP - Lezione 14

42

DAC a traliccio R-2R



Simone Buso - Microcontrollori e DSP - Lezione 14

43

DAC a traliccio R-2R

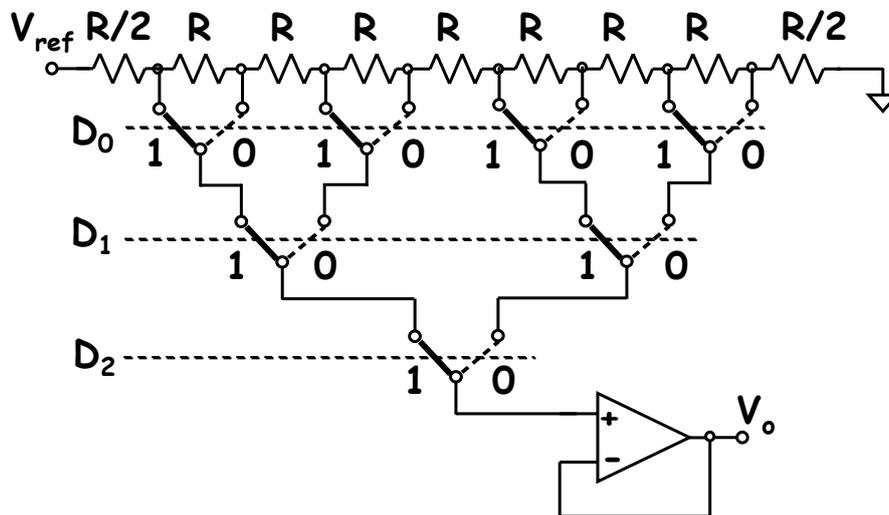
Questo schema, risolve alcuni problemi del precedente ed è molto usato. In particolare, i suoi vantaggi sono:

- resistenze solo di due valori;
- il peso della R_{ON} di ciascun interruttore è costante (si somma sempre a $2R$);
- la corrente assorbita dal circuito non dipende dalla configurazione dei bit di ingresso (la resistenza vista da V_{ref} è sempre R).

Simone Buso - Microcontrollori e DSP - Lezione 14

44

DAC con voltage scaling



Simone Buso - Microcontrollori e DSP - Lezione 14

45

DAC con voltage scaling

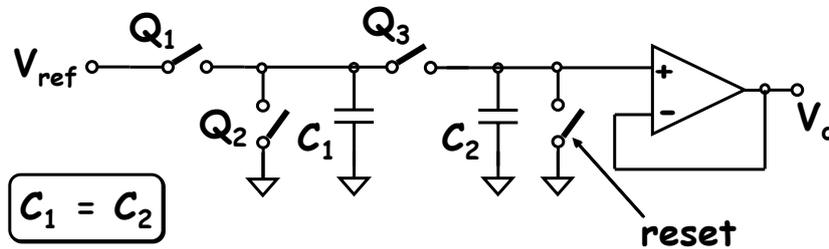
Questo schema è usato per lo più per DAC di 8 bit o meno, in quanto richiede un elevato numero di resistori e interruttori. Tuttavia presenta alcuni vantaggi:

- è intrinsecamente monotono;
- le resistenze richieste (a parte due) sono tutte uguali;
- la corrente che attraversa gli interruttori è molto bassa, corrispondendo solo alla corrente di bias dell'operazionale (cadute di tensione trascurabili).

Simone Buso - Microcontrollori e DSP - Lezione 14

46

DAC seriali



In questo DAC i bit vengono forniti in modo seriale, cominciando dal meno significativo. Se l'*i*-esimo bit è 1 si attiva Q_1 (read), se è 0 Q_2 (per scaricare C_1).

Dopo ogni bit, si attiva per un breve periodo Q_3 , per ridistribuire la carica tra C_1 e C_2 .

DAC seriali

Consideriamo il caso di un dato a 3 bit: 101.

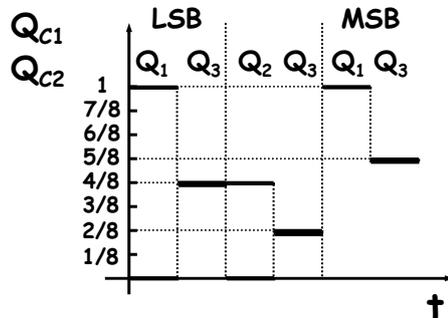
Il primo bit è 1, quindi C_1 si carica a V_{ref} .

Alla chiusura di Q_3 (Q_1 e Q_2 sono aperti) C_2 assorbirà metà della carica di C_1 (sono uguali).

Il secondo bit è 0, quindi C_2 viene scaricato alla chiusura di Q_3 , perdendo metà della sua carica.

Il terzo bit è di nuovo 1, quindi C_2 acquisterà carica da C_1 portandosi a $5/8$ del valore massimo, cioè ad una tensione che corrisponde proprio alla parola di ingresso.

DAC seriali



Andamento della carica durante la conversione seriale della parola 101. Durante la fase di accensione di Q_3 , C_1 e C_2 si portano allo stesso livello di carica.

Questo DAC è estremamente semplice e poco costoso. Il meccanismo seriale determina però un tempo di conversione sostanzialmente più lungo di quello proprio degli altri schemi.

Fenomeni di glitch nei DAC

Il funzionamento dei DAC considerati finora richiede la commutazione di interruttori. Le commutazioni non sono mai perfettamente sincrone, quindi possono innescare dei transitori, che possono giungere all'uscita.

Per brevi intervalli di tempo questa si porta a livelli di tensione non corretti, assestandosi sul valore finale con una dinamica che dipende anche dal circuito esterno. Questo fenomeno prende il nome di glitch.

Si può risolvere facendo seguire al DAC un circuito di S/H.