

Lezione 15

Sommario

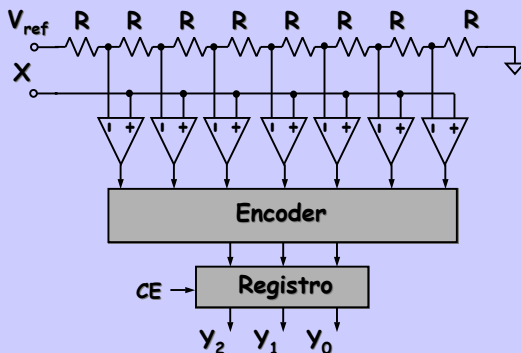
- Convertitore A/D di tipo Flash
- Convertitore A/D a gradinata
- Convertitore A/D a rampa
- Convertitore A/D ad approssimazioni successive (SAR)
- Convertitore A/D di tipo Sigma-Delta
- Esempi di convertitori A/D presenti a bordo di μC e DSP.

Lezione 15

Materiale di riferimento

1. W. Kleitz, "Digital and microprocessor fundamentals", Pearson Education, 2003.
2. D. F. Hoeschele, "Analog to digital to analog conversion techniques", Wiley and Sons, 1994.
3. B. Black, "Analog-to-Digital Converter Architectures and Choices for System Design", Analog Dialogue 33-8, 1999, disponibile sul sito del corso in formato pdf.

ADC di tipo Flash



ADC di tipo Flash

Questo schema è il **più veloce** possibile. I bit della parola di uscita si formano **in parallelo**. All'ingresso è presente un partitore resistivo composto da 2^n resistenze uguali. Una schiera di $2^n - 1$ comparatori realizza una **codifica** di tipo "termometrico" del segnale X . Un encoder digitale (multiplexer) traduce la codifica termometrica nella sua equivalente rappresentazione **binaria**. I tempi di conversione possono arrivare a valori dell'ordine di **pochi nanosecondi** (1 Gs).

ADC di tipo Flash

L'impiego di area di silicio per questo tipo di ADC è **molto esteso**. Infatti è richiesto un numero molto alto di resistenze e comparatori (255 per soli 8 bit).

Ciò rende la soluzione **molto costosa**. Anche la dissipazione di potenza diventa rapidamente molto elevata al crescere dei bit.

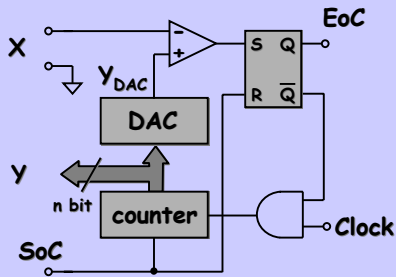
Il circuito è molto sensibile alle **correnti di bias e di offset** dei comparatori, che perturbano il funzionamento del partitore di ingresso (non linearità).

ADC di tipo Flash

L'**offset di tensione** dei comparatori è il principale fattore che **limita la linearità** del convertitore, arrivando a provocare in alcuni casi fenomeni di **missing code**. L'effetto è tanto più difficile da controllare quanto più è elevato il numero dei bit.

L'ADC di tipo flash viene quindi usato solo per conversioni con **numero di bit** relativamente **basso** (< 10) e dove sia richiesta una **velocità** di conversione **molto elevata** ($f_c > 100 \text{ MHz}$).

ADC a gradinata



Il convertitore usa un DAC in retroazione attraverso un comparatore analogico.

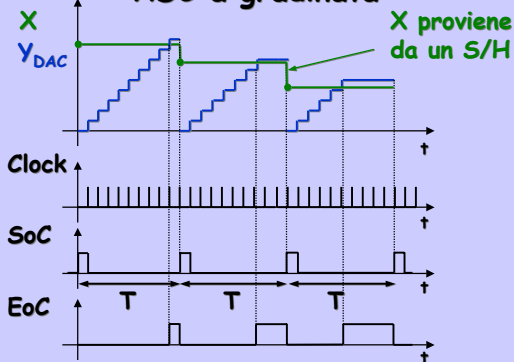
ADC a gradinata

Nell'ADC a **gradinata** un convertitore DAC è pilotato da un circuito **contatore** binario. La sua uscita Y_{DAC} ha quindi un caratteristico andamento, da cui deriva il nome del convertitore.

L'uscita del DAC è continuamente **confrontata** con il segnale X di ingresso da un **comparatore** analogico. Quando l'uscita del DAC supera X il conteggio **si arresta** (il flip-flop cambia stato).

L'ingresso del DAC in quel momento rappresenta il **risultato** della conversione.

ADC a gradinata



ADC a gradinata

Questo schema di ADC, come tutti quelli che impiegano un DAC in retroazione, ha una **precisione limitata** da quella del DAC stesso.

Inoltre, anche il **comparatore** deve essere **preciso**: in particolare, il suo offset di tensione deve essere in modulo $< \frac{1}{2}$ LSB.

Il tempo di conversione **dipende** dalla tensione di ingresso. Il dato viene prodotto con un ritardo **massimo** pari a 2^n periodi di clock, quando $X = \text{FSR}$.

La massima **frequenza** del clock è **limitata** dal DAC. Si tratta di un ADC piuttosto **lento**.

ADC a gradinata

Esempio:

un ADC a gradinata a 10 bit ha frequenza di clock F_{clk} di 10 MHz. Determinare il valore della **frequenza limite** di Nyquist.

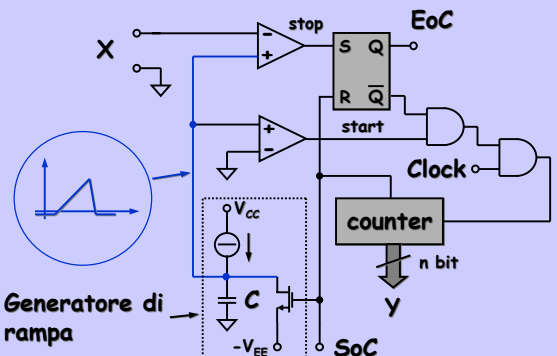
$$T_{C_{MAX}} = 1024 \cdot 1/F_{clk} = 102.4 \mu s$$

$$F_c = 1/T_{C_{MAX}} = 9.77 \text{ kHz}$$

$$F_{Nyq} = F_c/2 = 4.88 \text{ kHz}$$

Attenzione: $F_{clk} = 10 \text{ MHz}$ significa che in soli **100 ns** il DAC, il contatore e il comparatore devono **assestare** le proprie uscite.

ADC a rampa



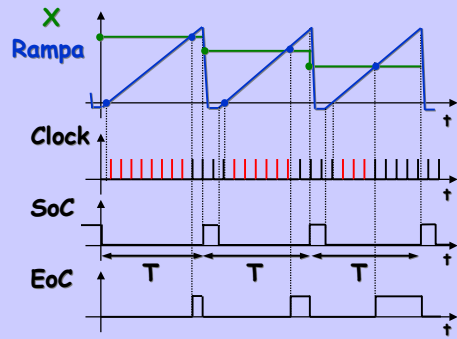
ADC a rampa

Il convertitore a rampa funziona in modo simile a quello a gradinata. Usa un **generatore di rampa analogico**. Negli intervalli di tempo in cui il segnale di rampa è > 0 e $< X$, un contatore viene incrementato da un clock.

Il suo **valore finale** è quindi proporzionale alla tensione presente in ingresso.

Il circuito è piuttosto **sensibile** alle non idealità dei componenti del generatore di rampa (C, generatore di corrente, MOSFET). Esistono anche architetture a **doppia rampa**.

ADC a rampa



ADC a rampa

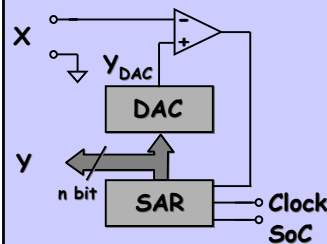
Tra gli **accorgimenti** necessari per un buon funzionamento del convertitore si nota la necessità di far partire la rampa da una tensione leggermente **negativa**. Questo evita problemi legati agli offset dei comparatori.

Il vantaggio del circuito è **l'eliminazione del DAC**, il che riduce la complessità.

Il tempo di conversione **massimo** è pari a 2^n periodi di clock, come nel caso precedente.

In generale, il periodo di conversione ha una durata che **dipende** dal segnale X.

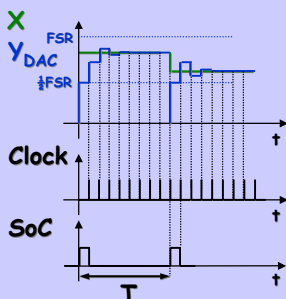
ADC con SAR



Il DAC in retroazione è pilotato da un circuito logico ad hoc detto **registro ad approssimazioni successive (SAR)**. La logica è quella della **ricerca binaria** del codice Y.

Il numero di cicli richiesto per la conversione è pari **al più** al numero di bit n dell'ADC **+1**.

ADC con SAR



Inizialmente il SAR imposta un valore del DAC pari a $\frac{1}{2}$ FSR, settando il MSB di Y.

Se il comparatore segnala che $X > Y_{DAC}$ il bit viene **confermato**.

Altrimenti viene **posto a 0**.

Il SAR procede quindi **iterativamente** testando tutti i bit della parola di Y nello stesso modo.

ADC con SAR

Esempio:

un ADC ad approssimazioni successive a 10 bit ha frequenza di clock F_{clk} di 10 MHz. Determinare il valore della **frequenza limite** di Nyquist.

$$T_{CMAX} = 11 \cdot 1/F_{clk} = 1.1 \mu s$$

$$F_C = 1/T_{CMAX} = 909 \text{ kHz}$$

$$F_{Nyq} = F_C/2 = 455 \text{ kHz}$$

Le caratteristiche richieste al DAC sono analoghe a quelle per l'ADC a gradinata, ma F_{Nyq} è **100 volte maggiore!**

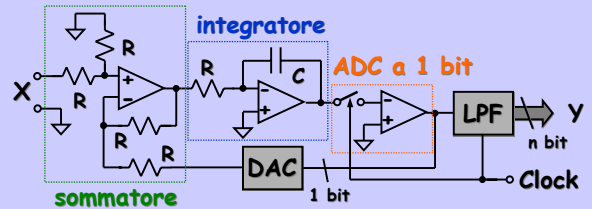
ADC con SAR

Il convertitore ad approssimazioni successive è **molto usato**, sia come dispositivo stand-alone, sia come periferica integrata all'interno di μC o DSP.

Rappresenta un buon **compromesso** tra velocità di conversione e complessità del circuito.

La velocità di conversione è limitata solo dai **tempi di assestamento** dei segnali di controllo nel SAR e dell'uscita del comparatore. Sono comuni frequenze di conversione dell'ordine di **qualche MHz**.

ADC di tipo Sigma-Delta



L'ADC di tipo **sigma-delta** usa un ADC a 1 bit (che di fatto è un **comparatore** analogico) e un DAC in retroazione sempre con un solo 1 bit.

ADC di tipo Sigma-Delta

La presenza di un anello di retroazione fa sì che il sistema si porti in **equilibrio** solo quando la tensione in ingresso all'integratore è **nulla** in media.

Questo accade quando la **sequenza di bit** prodotta dal ADC ha **media** pari alla tensione presente in ingresso X.

Il filtro **passa basso digitale** in uscita **estrae** il valore medio della sequenza e lo rende disponibile come parola di uscita a **n bit**.

Il numero di bit finale può essere anche relativamente **elevato** (fino a 20).

ADC di tipo Sigma-Delta

Il convertitore sigma delta sfrutta il principio del **sovracampionamento**. Il convertitore ADC interno produce una sequenza di bit a frequenza **molto alta**, molte volte maggiore della banda del segnale di ingresso.

Il fattore di sovracampionamento può variare da alcune **centinaia** ad alcune **migliaia**. I convertitori sigma delta lavorano quindi a frequenze **molto elevate** (centinaia di MHz).

Questo permette di ottenere **ottimi** rapporti **segnale rumore**, anche se il campionatore interno è solo a 1 bit.

ADC di tipo Sigma-Delta

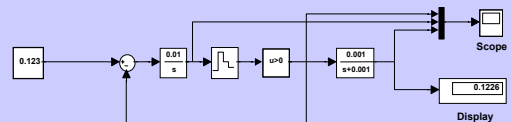
Il recupero dell'informazione associata al segnale richiede un **filtro passa basso** (LPF), che viene realizzato in modo **digitale** e **integrato** nel convertitore stesso.

In questo modo la **gran parte** (fino al 90%) **dell'area di silicio** richiesta dall'ADC è occupata da circuiti di tipo **digitale**.

Inoltre, i componenti **analogici** impiegati nel convertitore possono avere caratteristiche **non molto spinte**, il che riduce sensibilmente il costo di questo tipo di ADC.

ADC di tipo Sigma-Delta

Per meglio illustrare il **principio** di funzionamento del convertitore A/D sigma delta è possibile ricorrere alla **simulazione**.



Modello semplificato del convertitore sigma delta ottenuto con **Simulink**.

ADC di tipo Sigma-Delta

Negli ADC sigma delta si **riduce** la complessità delle parti analogiche, **complicando** le parti **digitali** per ottenere le prestazioni volute.

I circuiti digitali sono però **meno ingombranti** e quindi più economici da produrre.

Anche con filtri digitali di modesta complessità è possibile **sintetizzare** un numero di bit finale piuttosto alto, ricorrendo a livelli elevati di **sovracampionamento** (es: 10 bit con fattori di sovracampionamento dell'ordine del migliaio).

Le frequenze di conversione possono arrivare a qualche **centinaio di kHz**.

ADC multi stadio con pipeline

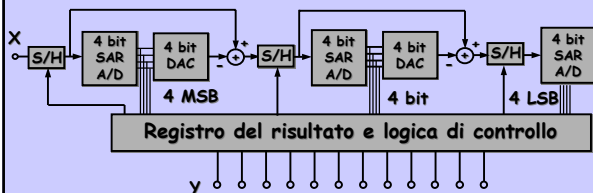
Recentemente, alle architetture di base viste finora si vanno affiancando architetture più complesse, di tipo **multi-stadio**.

Il convertitore viene cioè costruito collegando in **serie** o in **parallelo** strutture **semplici**, i.e. a pochi bit, realizzate secondo gli schemi visti.

Particolarmente usate sono le organizzazioni di tipo **flash** e quelle **SAR**.

Nelle combinazioni in serie vengono spesso usate **pipeline**, per abbreviare i tempi di conversione.

ADC multi stadio con pipeline



Esempio di convertitore A/D a 12 bit di tipo **SAR** ottenuto con una **pipeline** a 3 stadi e 3 ADC a 4 bit.

ADC multi stadio con pipeline

Un ADC a pipeline **scompon**e la conversione di un campione in **fasi successive** (e.g. 3).

Ad ogni inizio conversione il **primo** stadio comincia a produrre i 4 **MSB** del nuovo dato.

Simultaneamente, lo stadio successivo converte i bit **intermedi** del campione acquisito al passo **precedente**, mentre l'ultimo stadio converte gli **LSB** del campione acquisito **due** passi prima.

Trascurando i **ritardi** dei blocchi S/H, l'ADC completa la conversione di un dato in **1/3** del tempo richiesto da un SAR a 12 bit.

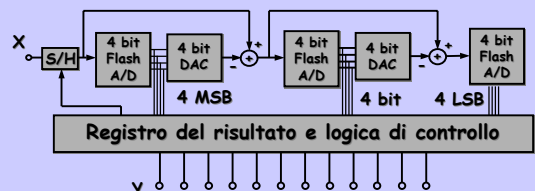
ADC multi stadio con pipeline

Rispetto ad un ADC SAR a 12 bit, lo schema a pipeline comporta un **moderato** incremento di complessità (costo) perché richiede in più solo due S/H e un po' di logica di controllo (che costa molto poco).

Offre, in compenso, un tempo di conversione che è **mediamente** pari a 1/3 della soluzione senza pipeline (la frequenza di Nyquist quindi **triplica**).

Come tutti i sistemi a pipeline, funziona bene solo se viene alimentato con **continuità**, cosa che comunque **non** è difficile da ottenere.

ADC multi stadio di tipo Flash



Esempio di convertitore A/D a 12 bit di tipo **Flash** ottenuto con 3 ADC Flash a 4 bit.

Attenzione: **non** è uno schema a pipeline, le 3 unità lavorano **in parallelo** sullo stesso dato.

ADC multi stadio di tipo Flash

Sebbene le 3 unità Flash operino **insieme** sullo **stesso** dato, i tempi di conversione di una soluzione multi-stadio sono **sempre maggiori** di quelli di una soluzione a singolo stadio (a causa dei ritardi nella catena).

Tuttavia, i tempi rimangono in assoluto **molto bassi** e il **risparmio** di componenti analogici (quindi di area, di potenza consumata e di costo) è **molto consistente**.

Ad esempio, il circuito a 3 stadi con 12 bit richiede solo **45** comparatori analogici, contro i **4095** della soluzione a stadio singolo!

ADC multi stadio di tipo Flash

Recentemente, si stanno diffondendo soluzioni di tipo Flash multi stadio con **pipeline**, simili a quelle discusse nel caso degli ADC SAR.

L'uso delle pipeline permette di **rilassare** le specifiche richieste alle **componenti analogiche** delle singole unità e, come abbiamo visto, introduce un **aggravio** di costo relativamente **piccolo** (per l'aggiunta dei S/H e della logica di controllo).

Questi convertitori garantiscono frequenze di conversione comunque **molto elevate**, dell'ordine di alcune **decine di MHz**.

Esempio: Philips LP2129

Philips Semiconductors Preliminary User Manual
ARM-based Microcontroller LPC2119/2129/2194/2292/2294

17. A/D CONVERTER

FEATURES

- 10-bit successive approximation analog to digital converter
- Input multiplexing among 4 pins (LPC2119/2129/2194) or 8 pins (LPC2292/2294)
- Power down mode
- Measurement range 0 to 3 V
- 10-bit conversion time \approx 2.44 μ s
- Burst conversion mode for single or multiple inputs
- Optional conversion on transition on input pin or Timer Match signal

**ADC SAR,
10 bit,
400 ks/s.**

DESCRIPTION

Basic clocking for the A/D converter is provided by the VPB clock. A programmable divider is included to scale this clock to the 4.5 MHz (max) clock needed by the successive approximation process. A fully accurate conversion requires 11 of these clocks.

PIN DESCRIPTIONS

Table 17: A/D Pin Description

Pin Name	Type	Pin Description
An0-7	Input	Analog Inputs. The A/D converter cell can measure the voltage on any of these 8 input signals, but the 64-pin packages restrict the choice to An0-5. Note that these analog inputs are always connected to these pins, even if the Pin Multiplexing Register assigns them to port pins. A simple self-test of the A/D Converter can be done by dividing these pins as port outputs.
V _{SS} , V _{SSA}	Power	Analog Power and Ground. These should be nominally the same voltages as V _{DD} and V _{SSD} , but should be isolated to minimize noise and error. The VrefP and VrefM signals of the cell are internally connected to these pins as well.

Esempio: Microchip dsPIC30F

dsPIC30F

20.0 10-BIT HIGH SPEED ANALOG-TO-DIGITAL CONVERTER (A/D) MODULE

The 10-bit high-speed analog-to-digital converter (A/D) allows conversion of an analog input signal to a corresponding 10-bit digital number. This module is based on a Successive Approximation Register (SAR) architecture, and provides a maximum sampling rate of 500 ksp/s. The A/D module has up to 16 analog inputs, which are multiplexed into four sample and hold amplifiers. The output of the sample and hold is the input into the converter, which generates the result. The analog reference voltages are software selectable to either the device supply voltage (AVDD/VDD) or the voltage level on the (VREF+)(VREF-) pin. The A/D converter has a unique feature of being able to operate while the device is in SLEEP mode.

The A/D module has six 16-bit registers.

- A/D Control Register 1 (ADCON1)
- A/D Control Register 2 (ADCON2)
- A/D Control Register 3 (ADCON3)
- A/D Input Select Register (ADCHS)
- A/D Port Configuration Register (ADPCFG)
- A/D Input Scan Selection Register (ADCSSL)

The ADCON1, ADCON2 and ADCON3 registers control the operation of the A/D module. The ADCHS register selects the input channels to be converted. The ADPCFG register configures the port pins as analog inputs or as digital I/O. The ADCSSL register selects inputs for scanning.

Note: The SSRC<2:0>, ASAM, SMP<3:0>, BUFM and ALTS bits, as well as the ADCON3 and ADCSSL registers, must not be written to while ADON = 1. This would lead to indeterminate results.

The block diagram of the A/D module is shown in Figure 20-1.

**ADC SAR,
10 bit,
500 ks/s**

Esempio: Infineon XC167



Preliminary

3.10 A/D Converter

**ADC SAR,
10 bit,
390 ks/s**

**XC167
Derivatives
Functional Description**

For analog signal measurement, a 10-bit A/D converter with 16 multiplexed input channels and a sample and hold circuit has been integrated on-chip. It uses the method of successive approximation. The sample time (for loading the capacitors) and the conversion time is programmable (in two modes) and can thus be adjusted to the external circuitry. The A/D converter can also operate in 8-bit conversion mode, where the conversion time is further reduced.

Overrun error detection/protection is provided for the conversion result register (ADDAT): either an interrupt request will be generated when the result of a previous conversion has not been read from the result register at the time the next conversion is complete, or the next conversion is suspended in such a case until the previous result has been read.

For applications which require less analog input channels, the remaining channel inputs can be used as digital input port pins.

Esempio: Intel 8XC196MC



8XC196MC

**ADC SAR,
10 bit,
100 ks/s**

10-BIT MODE A/D OPERATING CONDITIONS

Symbol	Description	Min	Max	Units
T _A	Ambient Temperature	-40	+85	°C
V _{DD}	Digital Supply Voltage	4.50	5.50	V
V _{REF}	Analog Supply Voltage	4.00	5.50	V _{DD}
T _{SPR}	Sample Time	1.0		μ s
T _{CONV}	Conversion Time	10.0	20.0	μ s
F _{OSC}	Oscillator Frequency	8.0	16.0	MHz

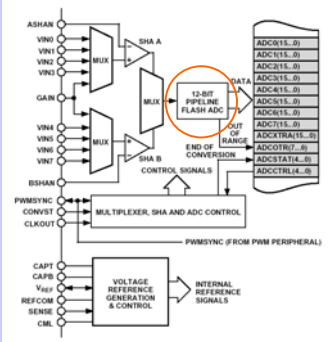
NOTES:
1. V_{REF} and V_{DD} should normally be at the same potential.
2. The value of A/D_{CON} is selected to meet these specifications.

10-BIT MODE A/D CHARACTERISTICS (Over Specified Operating Conditions)

Parameter	Typical ¹	Min	Max	Units
Resolution		1024	1024	Levels/Bit
Absolute Error		10	10	LSBs
Full Scale Error		0	±4	LSBs
Zero Offset Error		-0.25	+0.5	LSBs
Non-Linearity		1.0	±2.0	LSBs
Differential Non-Linearity		±0.1	±2	LSBs
Channel-to-Channel Matching		±0.1	0	±1.0
Repeatability		±0.25	0	LSBs
Temperature Coefficients				LSB/°C
Offset	0.009			LSB/°C
Full Scale	0.009			LSB/°C
Differential Non-Linearity	0.009			LSB/°C

Caratteristiche dell'ADC.

Esempio: Analog Devices ADMC401



ADC SAR,
12 bit ,
500 ks/s

Schema a blocchi
dell'ADC del DSP
ADMC 401 di
Analog Devices.

Esempio: Microchip PIC18FXX2

PIC18FXX2

17.0 COMPATIBLE 10-BIT ANALOG-TO-DIGITAL CONVERTER (A/D) MODULE

The Analog-to-Digital (A/D) converter module has five inputs for the PIC18FXX2 devices and eight for the PIC18F4X2 devices. This module has the ADCON0 and ADCON1 register definitions that are compatible with the mid-range A/D module.

The A/D allows conversion of an analog input signal to a corresponding 10-bit digital number.

The A/D module has four registers. These registers are:

- A/D Result High Register (ADRESH)
- A/D Result Low Register (ADRESL)
- A/D Control Register 0 (ADCON0)
- A/D Control Register 1 (ADCON1)

The ADCON0 register, shown in Register 17-1, controls the operation of the A/D module. The ADCON1 register, shown in Register 17-2, configures the functions of the port pins.

REGISTER 17-1: ADCON0 REGISTER

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0
ADCS1	ADCS0	CHS2	CHS1	CHS0	GO/DONE	—	ADON
						bit 7	bit 0

ADC a 10 bit, 50 ks/s, tipo non precisato

Uso dei convertitori A/D

Non sempre i costruttori forniscono una caratterizzazione **completa** dei convertitori A/D presenti a bordo di mC o DSP.

Spesso è necessario provvedere ad una analisi **preliminare** delle prestazioni del convertitore, valutandone la linearità, gli errori di offset, di guadagno... Questa fase è **molto importante** per le applicazioni di signal processing o controllo real time.

E' essenziale che il **set-up di test** che si usa sia **adeguato** alla precisione richiesta alle misure.

Uso dei convertitori A/D

Il campionamento e la conversione A/D di grandezze analogiche consentita dalle unità ADC presenti a bordo di microcontrollori e DSP **ampliano di molto** le possibili applicazioni.

Diventa infatti possibile realizzare:

1. **misuratori** di grandezze analogiche (temperatura, pressione, concentrazione di gas, ...);
2. sistemi di **controllo digitale** a catena chiusa per la regolazione delle grandezze analogiche trasdotte.

Uso dei convertitori A/D

Il primo ambito applicativo richiede di norma la realizzazione di circuiti analogici per il **condizionamento** del segnale e la realizzazione di **filtri numerici**.

Nel secondo ambito, invece, si aggiunge a quanto detto sopra anche la progettazione di **regolatori a tempo discreto** per i sistemi di interesse.

Le questioni di ordine teorico e pratico discusse nelle lezioni 12 e 13 giocano un ruolo **determinante** in entrambi i casi.